

④日本国特許庁(JP)

①特許出願公開

②公開特許公報(A) 平1-236494

③Int.Cl.

G 11 C
H 03 K
11/34
5/13
19/00
19/08

検別記号

315
N-8326-5J
101
8326-5J

府内整理番号

8522-5B
7531-5J
N-8326-5J

④公開 平成1年(1989)9月21日

8326-5J 試験請求 未請求 国家機関の数 3 (全13頁)

⑤発明の名称 手写体集積回路装置

⑥特許 昭63-64088

⑦出願 昭63(1988)3月17日

⑧発明者 光本 饮也 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センター内

⑨出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑩代理人 斎藤士 德吾 光政

要 約

1. 発明の名称

手写体集積回路装置

2. 特許請求の範囲

1. その遷延時間が所定のパッド又は外部端子から供給される選択回路信号によって変化される遷延回路を構成することを特徴とする手写体集積回路装置。

2. 上記遷延回路は、所定の入力信号とともに上記入力信号に対して所定の時間間隔を持ちかつ所定の時間間隔を持つ出力信号を形成するパルス発生回路に含まれるものであり、既別形態とされる複数の単位遷延回路により構成されるものであって、上記パルス発生回路は、さらに上記選択回路信号をデコードして対応する選択信号を逐一的に形成するデコーダと、上記選択信号に従って対応する上記単位遷延回路の出力信号を選択的に伝達する出力選択回路とを含むものであることを特徴とする特許請求の範囲第1項記載の手写体集積回路装置。

3. 上記手写体集積回路装置は、バイオーラRAMを基本構成とする論理回路付メモリであり、上記パルス発生回路は、上記論理回路付メモリのタイミング発生回路に含まれるものであって、上記出力信号は、上記バイオーラRAMのライドアンプに供給される書き込みパルスであることを特徴とする特許請求の範囲第1項又は第2項記載の手写体集積回路装置。

3. 発明の詳細な説明

(発明上の利用分野)

この発明は、手写体集積回路装置に関するもので、例えば、バイオーラRAMを基本構成とする論理回路付メモリ等を利用して特に有効な技術に関するものである。

(従来の技術)

バイオーラトランジスタからなるメモリセルが格子状に配置されてなるメモリアレイを基本構成とするバイオーラRAMがある。また、このようなバイオーラRAMを基本構成とする論理回路付メモリがある。

特開平1-236494(2)

バイオーラRAMについて、例えば、特開昭58-804879公開等に記載されている。(発明が解決しようとする課題)

上記に記載されるようなバイオーラRAMは、ライトアップ含む。ライトアップは、上記ノモリアレイを形成する相位データはに対応して形成される相位の単位時間を作成し、これらの単位時間は、タイミング発生時間から開始される書き込みペルスを使って選択的に動作状態とされ、ノモリアレイの選択された単位のノモリセルに対する書き込み動作を行う。

上記バイオーラRAMを含む特開昭58-804879では、外部から入力される書き込み制御信号等を用いてライトイネーブル信号WBLが、そのまま書き込みペルスとしてライトアップに供給される。このため、ライトイネーブル信号WBLは、アドレス信号や入力書き込みデータ等に対して所定のセットアップ時間を持つことなくライトアップが実行して動作できるだけの所定のペルス幅を有するものでなくてはならない。ライトイネーブル信号WBLに

対するこれらのタイミング条件は、論理遮断ノモリが高速化されそのタイミング時間が短縮化されるに従って次第に厳しくなり、実際困難なものとなりつつある。

これに対処するため、本発明者等は、その入力動作をクロック信号によって同期化し、上記タイミング条件を満足する書き込みペルスを内部で目的的に形成する論理遮断ノモリを用意した。この論理遮断ノモリは、タイミング発生時間を作成し、このタイミング発生時間は、上記クロック信号をもとに、所定のセットアップ時間を持ちかつ所定のペルス幅を持つ書き込みペルスをライトイネーブル信号WBLを使って選択的に形成する書き込みペルス発生時間を作成する。

しかし、このような論理遮断ノモリにはさらには次のような問題点があることが、本発明者等によって明らかとなった。すなわち、論理遮断ノモリの上記書き込みペルス発生時間には、クロック信号を遮断させそのペルス幅を拡張することで上記セットアップ時間及びペルス幅を実現する

ための複数の選択時間を作成する。これらの選択時間は、論理遮断ノモリの設計段階で行われるシミュレーション等によって、上記タイミング条件を満足する所定の選択時間を持つように、その目標値が決定される。ところが、現状ではシミュレーションの精度が充分でないことから、選択された論理遮断ノモリの選択時間が的確に予測通りの実現した選択時間を持つようにはすることは困難である。このため、予め目標時間の選択時間を使いつか用意し、製造時のマスクを変更してこれらの選択時間を選択的に切り替えて構成することで、所定の選択時間を得る方法が採られる。このことは、論理遮断ノモリ等の開発時間を増大させるとともに、製造工程における製品の歩留りを低下させる要因となるものである。

この発明の目的は、その選択時間の変更による選択時間の提供することにある。この発明の他の目的は、選択時間を作成する論理遮断ノモリ等の開発時間を短縮し、その製造工程における製品歩留りを高めることにある。

この発明の特徴ならびにその後の目的と所属特許は、この明細書の記述及び特開昭58-804879から明らかになるであろう。

(発明を解決するための手段)

本願において図示される発明のうち代表的なものの要領を簡単に説明すれば、下記の通りである。すなわち、論理遮断ノモリの書き込みペルス発生時間等に含まれる選択時間は、既定の時間とされる複数の単位選択時間によって構成し、これらの単位選択時間の出力信号を選択信号によって選択的に伝達する出力選択時間と、所定の選択制御信号をデコードして上記選択信号を一定に形成するデコーダとを設けるものである。

(作用)

上記した手続によれば、本製品あるいは製品元成後において、パッケ又は外側端子から上記選択制御信号を供給することで、マスク等の変更を必要とすることなく、選択時間の選択時間を調整することができる。これにより、論理遮断ノモリ等の開発時間を短縮し、またその製品歩留りを高

あることができる。

(実施例)

第4図には、この発明が適用された論理回路竹ノセリの一実施例のブロック図が示されている。この実施例の論理回路竹ノセリは、特に利用されないが、バイオーラRAMを基本構成とし、回路を含む論理部を含む。第4図の各ブロックを構成する回路電子子は、論理回路竹ノセリの示されない論理部を構成する回路電子子とともに、特に利用されないが、回路シリンコンのようなく図の半導体基板上に形成される。

この実施例の論理回路竹ノセリは、後述するように、ノセリアレイMARYとライトアップアワ&及びタイミング発生回路TCを含む。このうち、タイミング発生回路TCは、後述するように、外回路子を分して供給されるクロック信号CK及びライトイネーブル信号WEに従って所定のセットアップ時間及びパルス幅を有する信号込みパルスすなわちタイミング信号CKを自体的に形成し、ライトアップアワに供給する信号込みパルス発生

回路を含む。また込みパルス発生回路は、それを九種類回路とされる回路の単位選択回路からなる2組の選択回路R1・R2と、各単位選択回路の出力信号を選択信号W0～W3であるいはW0～W3に従って選択的に供給する出力選択回路S1・S2と、S2とを含む。また込みパルス発生回路には、さらに外回路子を分して供給される選択回路信号すなわちパルス選択信号W30～W31及びセットアップ時間選択信号S30～S31をデコードし、上記選択信号W0～W3及びW0～W3を形成するデコードDDEC1及びDDEC2が含まれる。これにより、この実施例の論理回路竹ノセリは、半導体又は積層完成後ににおいて、また込みパルス発生回路に含まれる選択回路S1・S2及びR1・R2の選択時間や、マスク変更を必要とすることなく調整でき、そのパルス幅及びセットアップ時間を選択化することができる。

第4図において、ノセリアレイMARYは、特に利用されないが、回路の水平方向に平行して配置されるN+1本のワード線と、垂直方向に平行

して配置されるN+1組の相補データ線及びこれらのワード線と相補データ線の交点に電子子状に配置される、 $(n+1) \times (n+1)$ 個のバイオーラノセリセルを含む。

ノセリアレイMARYを構成するワード線は、アドレステコーグADに結合され、單一的に選択状態とされる。

アドレステコーグADには、アドレスバッファADから、内回路アドレス信号W0～W3が供給される。これらの内部アドレス信号は、特に利用されないが、選択信号及び反転信号からなる選択信号とされる。アドレステコーグADには、さらにタイミング発生回路TCから、タイミング信号CKとが供給される。

アドレステコーグADは、上記タイミング信号CKとがハイレベルとされることで、選択的に動作状態とされる。この動作状態において、アドレステコーグADは、上記内部アドレス信号W0～W3をデコードし、ノセリアレイMARYの構成するワード線を單一的に選択状態とする。

アドレスバッファADは、特に利用されないが、外回路子を分して供給されるN+1ビットのアドレス信号A0～A1を取り込み、保持する。また、これらのアドレス信号A0～A1とともに、上記内部アドレス信号W0～W3を加算し、アドレステコーグADに供給する。

一方、ノセリアレイMARYを構成する相補データ線は、その一方において、ライトアップアワの対応する単位回路にそれぞれ結合され、またその他方において、ライトアップアワの対応する単位回路にそれぞれ結合される。

ライトアップアワは、特に利用されないが、ノセリアレイMARYの各相補データ線に対応して設けられるN+1組の単位回路を含む。これらの単位回路には、データ入力バッファD1BからG1Bに応する内部信号込みデータ信号W0～W3がそれぞれ供給される。また、タイミング発生回路TCから信号込みパルスすなわちタイミング信号CKとが急速に供給されると、タイミング信号CKとは、後述するように、論理回路竹ノセリが非選択状態

特開平1-236494(4)

とされるときロウレベルとされ、上記送信付ノモリが音を込みモードで選択状態とされるとき、所定のタイミングで所定の時間だけ一時的にハイレベルとされる。

ライトアンプWAAの各部位回路は、上記タイミング回路等がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、ライトアンプWAAの各部位回路は、データ入力パッファD10から供給される内部音を込みデータ4×0～4×8に従った相補音を込み信号を形成し、ノモリアレイMARYの対応する相補データ線に供給する。これらの音を込み信号は、対応する相補データ線を分して、ノモリアレイMARYの選択されたワード線に結合される。+1回のノモリモルにそれぞれ圧縮される。

データ入力パッファD10は、特に制限されないが、外部端子を分して供給される+1ビットの入力データD10～D11を取り込み、保持する。また、これらの入力データD10～D11をもとに、上記内部音を込みデータ4×0～4×8

を形成し、ライトアンプWAAの対応する部位回路にそれぞれ供給する。

ライトアンプWAAは、ノモリアレイMARYの選択されたワード線に結合される。+1回のノモリモルから対応する相補データ線を分して出力される読み出し信号を圧縮し、内部読み出しデータ4×0～4×8を形成する。これらの内部読み出しデータ4×0～4×8は、データ出力パッファDOBの対応する出力回路に供給される。

データ出力パッファDOBは、特に制限されないが、+1回の出力回路を含む。これらの出力回路には、ライトアンプWAAから、対応する内部読み出しデータ4×0～4×8がそれぞれ供給されるとともに、タイミング発生回路TGからタイミング信号等が先頭に供給される。

データ出力パッファDOBの各出力回路は、上記タイミング信号等が一時的にハイレベルとされることで、選択的に動作状態とされる。この動作状態において、データ出力パッファDOBの各出力回路は、対応する上記内部読み出しデータ

4×0～4×8をもとに、出力データD00～D09を形成し、外部端子を分して選択する。上記タイミング信号等がロウレベルとされるとき、データ出力パッファDOBの各出力回路の出力はハイインピーダンス状態とされる。

タイミング発生回路TGでは、特に制限されないが、外部端子を分して供給されるクロック信号C及びライトイネーブル信号等をもとに、上記各部のタイミング信号を形成し、各回路に供給する。タイミング発生回路TGは、上記タイミング信号等を形成する音を込みバルス発生回路を含む。この音を込みバルス発生回路は、前述のように、音数の單位選択回路が選択状態とされてなる2回の選択回路D11及びD12を含む。これらの選択回路の選択時間は、外部端子を分して供給されるバルス相選択信号W30～W32及びセントアップ時間選択信号S30、S31に従って選択的に変化される。

第1回には、第4回の検査回路ノモリのタイミング発生回路TGの一次比較の回路図が示され

ている。また、第2回及び第3回には、第1回のタイミング発生回路TGに含まれる単位選択回路DC1及び選択ゲート回路DC1の一実現例の回路図が示されている。これらの間に従って、この実現例の検査回路ノモリのタイミング発生回路TGに含まれる音を込みバルス発生回路の具体的な構成と動作の概要を説明する。なお、第1回には、タイミング発生回路TGのうち、音を込みバルス発生回路とその回路回路が部分的に示されているが、タイミング発生回路TGの他の回路については、この発明と直接関係がないので、図示を割愛する。以下の図において、図示されるバイオペラトランジスタは、すべてNPN型トランジスターである。

第1回において、外部端子を分して入力されるクロック信号Cは、オフゲート回路OG1の一方の入力端子に供給されるとともに、フリップフロップ回路FF1のクロック入力端子Cに供給される。オフゲート回路OG1の他方の入力端子には、アンダゲート回路AG1の出力信号が供給さ

れる。アンドゲート回路AC1の一方の入力端子には、内部制御信号100aが供給され、その他の方の入力端子には、送達するオアゲート回路OC1の反応出力信号100cが供給される。オアゲート回路OC1の出力信号は、パルス延滞回路PWBの入力端子に供給される。ここで、クロック信号CKは、特に制限されないが、ECレベルとされ、所定の時間で所定の期間だけ一時的にハイレベルとされる。また、内部制御信号100aには、特に制限されないが、この論理駆動付ノモリが通常の動作モードとされるときロクレベルとされ、論理駆動付ノモリが所定の試験モードとされるとき選択的にハイレベルとされる。

これらのことから、論理駆動付ノモリが通常の動作モードとされるとき、外部端子を介して供給されるクロック信号CKが、オアゲート回路OC1を介してパルス延滞回路PWBに供給される。また、論理駆動付ノモリが所定の試験モードとされ上記内部制御信号100aがハイレベルとされるとき、オアゲート回路OC1の反応出力信号100c

が、アンドゲート回路AC1及びオアゲート回路OC1を介してパルス延滞回路PWBに供給され、パルス延滞回路PWB及び送達回路DL1を介し送達ループが形成される。

外部端子を介して供給されるライトイネーブル信号WEは、上記フリップフロップ回路FF1のデータ入力端子Dに供給される。フリップフロップ回路FF1のクロック入力端子Cには、同様のように、クロック信号CKが供給される。これにより、フリップフロップ回路FF1は、上記クロック信号CKによってトリガされ、上記ライトイネーブル信号WEを取り扱い。ライトイネーブル信号WEは、特に制限されないが、論理駆動付ノモリが書き込みモードとされるときに、選択的にハイレベルとされる。フリップフロップ回路FF1の出力信号は、書き込みモード信号をうち内部制御信号100aとして、タイミング発生回路TOの各回路に供給される。

一方、選択制御信号として外部端子を介して供給される3ビットのパルス延滞回路信号WS0~WS2

S2は、デコードDEC1に入力される。デコードDEC1は、上記パルス延滞回路信号WS0~WS2をデコードし、対応する選択信号S0~S1を逐一的にハイレベルとする。これらの選択信号は、後述する送達回路DL1の対応する送達ゲート回路DC1~DC4の制御入力端子Sにそれぞれ供給される。

同時に、選択制御信号として外部端子を介して供給される3ビットのセッタップ時間選択信号SS0及びSS1は、デコードDEC2に供給される。デコードDEC2は、上記セッタップ時間選択信号SS0及びSS1をデコードし、対応する選択信号S0~S1を逐一的にハイレベルとする。これらの選択信号は、後述する出力選択回路SEL1の対応するアンドゲート回路AC3~AC5にそれぞれ供給される。

パルス延滞回路PWEに、特に制限されないが、オアゲート回路OC1を介して供給されるクロック信号CK等を所定の時間だけ送達させ、かつそのパルス幅を約3倍程度に延長する。パルス延滞

回路PWEのが反応出力信号S1及び反応出力信号S2は、送達回路DL1を構成する単位送達回路DC1の対応する入力端子T及び反応入力端子Tに供給されるとともに、オアゲート回路OC1の第1の入力端子に供給される。

送達回路DL1は、特に制限されないが、その対応出力端子S及び反応出力端子Tと対応入力端子T及び反応入力端子Sが順次結合されることによって逐列駆動とされる。即ちの単位送達回路DC1~DC4ならばに4個の送達ゲート回路DC1~DC8により構成される。

単位送達回路DC1~DC4は、第2回の単位送達回路DC1に代入して示されるように、一对の反相トランジスタT1~T2を基本構成とする。このうち、トランジスタT1のコレクタは、ノーノンとされ、対応する反向偏流R1を介して回路の接続部位に結合される。同時に、トランジスタT2のコレクタは、ノードN1とされ、対応する反向偏流R2を介して回路の接続部位に結合される。反相トランジスタT1~T2の発通結合を

特許平1-236494(6)

れたエレックと田路の電源電圧との間には、定電源電圧131が掛けられる。ここで、田路の電源電圧は、常に利用されないが、所定の次の電源電圧とされる。トランジスタT1及びT2のベースは、それぞれこの単位送達田路DC1の非反転入力端子1及び反転入力端子Tとされる。

トランジスタT1のコレクタは、さらにトランジスタT4のベースに先端結合される。また、トランジスタT1のコレクタと田路の接地電位との間に、キャパシタC1が掛けられる。同様に、トランジスタT1のコレクタは、さらにトランジスタT3及びT5のベースに先端結合される。また、トランジスタT3のコレクタと田路の接地電位との間に、キャパシタC2が掛けられる。キャパシタC1及びC2は、常に利用されないが、バイオードトランジスタのエミッタ容量により形成され、单位送達田路DC1の送達時間に相当する所定の蓄電容量を持つように設計される。

トランジスタT3のコレクタは、田路の接地電位に結合され、そのエミッタと田路の電源電圧と

の間に、定電源電圧133が掛けられる。これにより、トランジスタT3は、対応する定電源電圧133とともに、出力エミッタファロフ回路を構成する。トランジスタT3のエミッタは、この単位送達田路DC1の非反転出力端子Tに結合される。同様に、トランジスタT4及びT5のコレクタは、田路の接地電位に結合され、そのエミッタと田路の電源電圧との間に、定電源電圧133及び134がそれぞれ掛けられる。これにより、トランジスタT4及びT5は、対応する定電源電圧133及び134とともに、それぞれ出力エミッタファロフ回路を構成する。トランジスタT4のエミッタは、この単位送達田路DC1の反転出力端子Tに結合される。また、トランジスタT5のエミッタは、この単位送達田路DC1のワイヤドア出力端子Tに結合される。各田路送達田路のワイヤドア出力端子Tは、他の田路送達田路のワイヤドア出力端子Tと直接結合されることによって、接続部類和田路を構成する。

非反転入力端子1が反転入力端子Tより低い

レベルとされるとき、トランジスタT3がオン状態となり、トランジスタT1はカットオフ状態となる。したがって、トランジスタT1のコレクタなむカノードの電位は、田路の接地電位のようなハイレベルとされ、トランジスタT3のコレクタなむカノードの電位は、定電源電圧131の電位と負荷抵抗R1の電位によって決まる所定のロウレベルとされる。ノードT1のハイレベルは、トランジスタT4のベース・エミッタ電圧分だけシフトされた後、単位送達田路DC1の反転出力はマニとして出力される。また、ノードT1のロウレベルは、トランジスタT3及びT5のベース・エミッタ電圧分だけそれぞれシフトされた後、単位送達田路DC1の非反転出力端子1及びワイヤドア出力端子Tとされる。

次に、非反転入力端子1が反転入力端子Tより高いハイレベルとされるとき、トランジスタT3はカットオフ状態になり、代わってトランジスタT1がオン状態になろうとする。また、これにともなって、ノードT1の電位がハイレベルから定電

源電圧131の電位と負荷抵抗R1の電位とにによって決まる所定のロウレベルに変化し、ノードT1の電位がロウレベルから田路の接地電位のようなハイレベルに変化しようとする。ところが、前述のように、ノードT1及びT1と田路の接地電位との間に、所定の蓄電容量を持つキャパシタC1及びC2がそれぞれ掛けられる。このため、ノードT1及びT1のレベルは、キャパシタC1の田路電位と定電源電圧131の電位ならびにキャパシタC2の田路電位と負荷抵抗R1の電位によって決まる所定の時定数によっては々に変化し、これにともなってトランジスタT3及びT5の状態が遷移する。その結果、単位送達田路DC1の非反転出力端子Tと反転出力端子Tならびにワイヤドア出力端子Tは、非反転入力端子1及び反転入力端子Tに対しても定の遷移時間が経れて変化されるものとなる。

一方、送達ゲート田路DC1～DC8は、各3回の渡越ゲート田路DC1～DC8に代表して示されるように、基本的に上記單位送達田路DC1～DC8

を形成する回路回路とされ、並列回路D11を構成する並位選択回路として用意する。第3回において、トランジスタT6-T10と並列回路、R4及びキャパシタC3、C4ならびに定電流源I33-I38は、第1回のトランジスタT1-T5と並列回路、R2及びキャパシタC1、C2ならびに定電流源I31-I34にそれぞれその上に対応する。トランジスタT8及びT9のコレクタは、それぞれノーフラッシュとされ、トランジスタT8及びT9のベースは、それぞれ並列ゲート回路DC1の非反転入力端子T1及び反転入力端子T2とされる。以下、上記の並列選択回路DC1-DG4と並列ゲート回路DC1-DG8の異なる部分について、順序を追加する。

第3回において、並列トランジスタT6-T1の共通結合されたエミッタは、トランジスタT11のコレクタに結合される。トランジスタT11のエミッタは、並列回路とされたトランジスタT12のエミッタに共通結合され、さらに定電流源I33を介して回路の電源電圧に結合される。ト

ランジスタT11のコレクタは、ノーフラッシュと結合され、そのベースは、この並列ゲート回路DC1の非反転入力端子T1とされる。トランジスタT11のベースには、並列接続付メモリの回路をれない定電圧発生回路から、所定の多段電位V_{dd}が供給される。ここで、上記多段電位V_{dd}は、開閉入力端子T1に供給される選択信号 $\#0-\#1$ のローレベル及びハイレベルのほぼ中間レベルとなる。これにより、並列トランジスタT11-T12は、その開閉入力端子T1に供給される選択信号 $\#0-\#1$ に対して、上記多段電位V_{dd}を経由スレッショルドレベルとする並位スイッチ回路として動作する。

対応する選択信号 $\#0-\#1$ が多段電位V_{dd}より低いローレベルとされたとき、トランジスタT12はカットオフ状態となり、トランジスタT11がオン状態となる。したがって、並列トランジスタT6-T11は動作状態とされ、並列ゲート回路DC1の非反転出力信号 $\#$ 反転出力信号 $\#$ は、上記第1回の

並位選択回路DC1と同時に、非反転入力信号 $\#$ 及び反転入力信号 $\#T$ によって選択的にハイレベル又はローレベルとされる。

一方、対応する選択信号 $\#0-\#1$ が多段電位V_{dd}より高いハイレベルとされたとき、トランジスタT11はカットオフ状態となり、代わってトランジスタT12がカム状態となる。したがって、並列トランジスタT6-T11は非動作状態とされ、ノーフラッシュは、トランジスタT12を介して初期的に所定のローレベルとされる。このときに、ノーフラッシュは、並列トランジスタT6-T11が非動作状態とされることで、回路の接続電位のようないレベルとされる。これにより、並列ゲート回路DC1の非反転出力信号 $\#$ 及びハイキックオア出力信号 $\#$ は、対応する選択信号 $\#0-\#1$ に關係なく、非反転出力信号 $\#T$ のレベルに因らず、非反転出力信号 $\#$ 及びハイキックオア出力信号 $\#$ がハイレベルとされ反転出力信号 $\#$ がローレベルとされる結果 $\#0-\#1$ の状態に固定される。

第1回において、並位選択回路DC1-DG4のハイキックオア出力信号 $\#$ は共通結合され、ノーフラッシュとされる。これにより、ノーフラッシュは、並位選択回路DC1-DG4のうちいずれかのハイキックオア出力信号 $\#$ がハイレベルとされたとき、選択的にハイレベルとされる。ノーフラッシュは、さらにオーバードライブ回路DG2の第2の入力端子に結合される。一方、並列ゲート回路DC1-DG4のハイキックオア出力信号 $\#$ は共通結合され、ノーフラッシュとされる。これにより、ノーフラッシュは、選

送ゲート回路DC1～DC4のうちいずれかのワイヤドマニア出力信号がハイレベルとされるとき、選択的にハイレベルとされる。ノード01は、さらにオアゲート回路DC1の出力端子に組みられる。同様に、送ゲート回路DC1～DC4のワイヤドマニア出力信号は先端結合され、ノード01とされる。これにより、ノード01は、送選ゲート回路DC1～DC4のうちいずれかのワイヤドマニア出力信号がハイレベルとされるとき、選択的にハイレベルとされる。ノード01は、さらにオアゲート回路DC1の出力端子に組みられる。

これらのことから、オアゲート回路DC1の非反転出力信号03は、パルスは選択回路PWBと単位選択回路DC1～DC4及び送選ゲート回路DC1～DC4のうちいずれかの出力信号がハイレベルとされるとき、選択的にハイレベルとされる。オアゲート回路DC1の反転出力信号03は、上記非反転出力信号03と相補的にハイレベルとされる。前述のように、送選ゲート回路DC1～D

CCのワイヤドマニア出力信号は、外接する選択回路01～07がハイレベルとされることで、選択的にロクレベルに固定される。これにより、そのワイヤドマニア出力信号が固定される送選ゲート回路の出力は外接されるすべての送選ゲート回路のワイヤドマニア出力信号は、同時にロクレベルに固定される。つまり、オアゲート回路DC1は、上記パルスは選択回路PWBと単位選択回路DC1～DC4及び送選ゲート回路DC1～DC4の出力信号に対するオアゲート回路として機能し、もむかせて選択回路01～07によって選択的に有効とされる送選ゲート回路DC1～DC4とともに、出力選択回路SEL1を構成するものである。言うまでもなく、オアゲート回路DC1の出力信号03のパルス幅は、選択信号01がハイレベルとされるときに最小となり、パルスは選択回路PWBの出力信号01のパルス幅に単位選択回路DC1～DC4の合計選択時間と加えた値となる。また、オアゲート回路DC1の出力信号03のパルス幅は、選択信号01～07がすべてロクレベル

とされるときに最大となり、パルスは選択回路PWBの出力信号01のパルス幅に単位選択回路DC1～DC4及び送選ゲート回路DC1～DC4の合計選択時間と加えた値となる。これにより、選択回路SEL1は、オアゲート回路DC1の出力信号03については選択するときに最もパルス幅が大きくなるタイミング信号04のパルス幅を決定する選択回路として作用するものとなる。

オアゲート回路AC1の非反転出力信号05及び反転出力信号06は、送選回路01～07の単位選択回路DC1の非反転入力端子1及び反転入力端子1にそれぞれ供給される。また、反転出力信号06は、前述のように、アンドゲート回路AC1の一方の入力端子に供給され、非反転出力信号05は、出力選択回路SEL1のアンドゲート回路AC1の一方の入力端子に供給される。

送選回路01～07は、特に制限されないが、その非反転出力端子1及び反転出力端子1と非反転入力端子1及び反転入力端子1が依次結合されることによって選択回路とされる3個の単位選択回路

DC5～DC7により構成される。これらの単位選択回路DC5～DC7は、特に制限されないが、上記単位選択回路DC1～DC4と同一の回路構成とされ、その非反転出力信号07は、それぞれノード06～08とされる。ノード06は、さらに出力選択回路SEL2のアンドゲート回路AC2の一方の入力端子に供給される。同様に、ノード07及び08は、さらに出力選択回路SEL2のアンドゲート回路AC1及びAC3の一方の入力端子にそれぞれ供給される。

出力選択回路DC5～DC7からなる送選回路SEL1は、所定のパルス幅を持つオアゲート回路DC1の出力信号05を、そのパルス幅を変化させることなく單次全体的に選択させる。アンドゲート回路AC1～AC3の一方の入力端子には、特に制限されないが、上記コードDC2～DC3から、対応する選択信号01～03がそれぞれ供給される。アンドゲート回路AC2の出力信号は、オアゲート回路DC1の出力信号05のノード06の入力端子に供給される。同様に、アンドゲート回路AC3

～ACSの出力信号は、上記オアゲート回路OC3の第2～第4の入力端子にそれぞれ供給される。これにより、オアゲート回路OC3の出力信号は、上記アンダゲート回路ACG2～ACSのうちいずれかの出力信号がハイレベルとされるとともに、選択的にハイレベルとされる。つまり、アンダゲート回路ACG2～ACS及びオアゲート回路OC3からなる出力選択回路S2L2は、選択信号S1～S3が統一的にハイレベルとされることで、出力選択回路S2L2又は選択回路D1L1の対応する出力信号S3～S1を選択的に伝達する作用を持つものとなる。

オアゲート回路OC3の出力信号は、アンダゲート回路ACG2の一方の入力端子に供給される。このアンダゲート回路ACG2の他方の入力端子には、上記フリップフロップ回路A71の出力信号すなわち内部制御信号が供給される。これにより、アンダゲート回路ACG2の出力信号すなわち書き込みモードを伝えるならばタイミング信号S1は、出力選択回路S2L2の出力信号と

内部制御信号S2L2がともにハイレベルとされるとともに、選択的にハイレベルとされる。つまり、この実施例の出力選択ノモリのタイミング発生回路TCにおいて、クロック信号CKをもとに形成されるオアゲート回路OC3すなわち出力選択回路S2L2の出力信号は、動作モードに関係なく常に形成され、出力選択ノモリがそのタイトルにおいて書き込みモードとされ内部制御信号S2L2がハイレベルとされるとともに、選択的にタイミング信号S1とされ、バイオーラRAMのライトアンドWIAに供給される。

第5図には、第1回のタイミング発生回路TCの一実施例のタイミング図が示されている。同図には、パルス選択はW3S0～W3S2が選択信号S2L2をハイレベルとする組み合わせとされ、セットアップ時間選択はS3S0～S3S1が選択信号S2L2をハイレベルとする組み合わせとされる場合が、例示的に示される。第5図により、この実施例のタイミング発生回路TCの書き込みパルス発生日周の動作の順序を理解する。

第5図において、クロック信号CKは、特に制限されないが、比較的小さなデューティを持つ周期的なパルスとされる。出力選択ノモリの動作は、特に制限されないが、このクロック信号CKの1周期を1ノモリサイクルとして実行され、各ノモリサイクルの動作モードは、ライトイネーブル信号WBによって決定される。このため、クロック信号CKがハイレベルとされるのに先立って、ライトイネーブル信号WBがロクレベルからハイレベルとされ、同時に所定の入力データD10～D16が供給される。また、パルス選択はW3S0～W3S2が選択信号S2L2をハイレベルとする組み合わせで決められ、セットアップ時間選択はS3S0～S3S1が選択信号S2L2をハイレベルとする組み合わせで決められる。

タイミング発生回路TCでは、パルス選択はW3S0～W3S2の組み合わせに応じて、データD2C1の出力信号すなわち選択信号S1が統一的にハイレベルとされ、セットアップ時間選択はS3S0～S3S1の組み合わせに応じて、テコ

ーダD2C2の出力信号すなわち選択信号S1が統一的にハイレベルとされる。また、クロック信号CKの立ち上がりエッジにおいて、ライトイネーブル信号WBがハイレベルであることから、フリップフロップ回路A71がセット状態となり、書き込みモード信号すなわち内部制御信号S2L2がハイレベルとされる。

一方、クロック信号CKは、オアゲート回路OC1を経て、パルス選択回路A72に印加され、その結果、クロック信号CKの約1/2倍のパルス幅を持つパルス選択回路PWBの出力信号S1が形成される。この出力信号S1は、オアゲート回路OC3に供給され、その出力信号S3～S1をハイレベルに立ち上げるとともに、半位選択回路DC1～DC4及び選択ゲート回路DC5～DC8からなる選択回路D1L1に供給される。

この実施例では、前述のように、選択信号S1が統一的にハイレベルとされる。したがって、上記パルス選択回路PWBの出力信号S1は、そのままのパルス幅で選択ゲート回路DC1の出力端

子まで延びされ、延辺ゲート回路 DC1 から出力の延辺ゲート回路 DC1 及び DC1 の出力信号がロウレベルに固定される。このため、ノード n 2 及び n 3 は、パルス延辺回路 PWB の出力信号 n 1 のパルス間に、それぞれ所定する単位延辺回路 DC1～DC1 及び延辺ゲート回路 DC1～DC1 の合計延辺時間に加えた期間だけハイレベルとなる。また、ノード n 4 は、パルス延辺回路 PWB の出力信号 n 1 のパルス間に有効とされる延辺ゲート回路 DC1 及び DC1 の合計延辺時間に加えた期間だけハイレベルとなる。

オフゲート回路 DC2 の出力信号 n 5 は、前述のように、パルス延辺回路 PWB の出力信号 n 1 がハイレベルとされることでハイレベルとされ、ノード n 5 がロウレベルとされることでロウレベルに戻される。これにより、オフゲート回路 DC2 の出力信号 n 5 のパルス幅は、パルス延辺回路 PWB の出力信号 n 1 のパルス幅に延辺回路 DC1 及び延辺ゲート回路 DC1～DC1 の合計延辺時間を持つ。

パルス延辺回路 PWB の出力信号 n 1 のパルス間に延辺回路 DC1 及び DC1 を構成する単位延辺回路 DC1～DC1 及び延辺ゲート回路 DC1～DC1 の合計延辺時間に加えた所定のパルス幅を持ち、またパルス延辺回路 PWB と延辺回路 DC1 の延辺回路 DC1 の合計延辺時間によって決まる所定のセットアップ時間を持つものとなる。

以上のように、この実施例の論理回路ノットは、書き込みパルス及び回路を含むタイミング発生回路 TC を内蔵し、クロック信号 CK 及びライドタイマー・アダクション信号 RW をもとに所定のパルス幅及びセッタップ時間を持つ書き込みパルスを内部で自立的に形成する機能を有する。タイミング発生回路 TC の書き込みパルス発生回路には、上に書き込みパルスのパルス幅を決定する延辺回路 DC1 及びセッタップ時間を決定する延辺回路 DC1 が含まれる。これらの延辺回路は、片端子を介して組み込まれるパルス延辺回路 PWB 又は PWB 又はセッタップ時間延辺回路 DC1 又は DC1 によって選択的に有効とされる複数の回路選

えた様となる。

オフゲート回路 DC2 の出力信号 n 5 は、さらに延辺回路 DC1 を構成する単位延辺回路 DC1～DC1 によって、そのままのペルス値で延辺され、出力信号 n 5 が固定される。これらの出力信号 n 5 及び n 4 は、前述のように、出力延辺回路 DC1 及び DC1 の制御するアンダゲート回路 AC2～AC3 にそれぞれ供給される。

この実施例では、前述のように、延辺信号 n 1 が次一的にハイレベルとされる。このため、アンダゲート回路 AC3 が次一的に延込状態とされ、延込回路 DC1 の単位延込回路 DC1 の出力信号 n 6 のみが、出力延込回路 DC1 の出力信号として延込される。出力延込回路 DC1 の出力信号は、このノモリサイクルにおいて延込回路ノモリが書き込みモードとされ内日制御信号 RW がハイレベルとされることが、書き込みパルスすなわちタイミング信号 RW とされ、ライドアンドブリッジに供給される。この実施例において、書き込みパルスすなわちタイミング信号 RW は、バ

リス延込回路 PWB の出力信号 n 1 のパルス間に延込回路 DC1 及び DC1 を構成する単位延込回路 DC1～DC1 及び延込ゲート回路 DC1～DC1 の合計延込時間に加えた所定のパルス幅を持ち、またパルス延込回路 PWB と延込回路 DC1 の延込回路 DC1 の合計延込時間によって決まる所定のセッタップ時間を持つものとなる。

以上のように、この実施例の論理回路ノットは、書き込みパルス及び回路を含むタイミング発生回路 TC を内蔵し、クロック信号 CK 及びライドタイマー・アダクション信号 RW をもとに所定のパルス幅及びセッタップ時間を持つ書き込みパルスを内部で自立的に形成する機能を有する。タイミング発生回路 TC の書き込みパルス発生回路には、上に書き込みパルスのパルス幅を決定する延込回路 DC1 及びセッタップ時間を決定する延込回路 DC1 が含まれる。これらの延込回路は、片端子を介して組み込まれるパルス延込回路 PWB 又は PWB 又はセッタップ時間延込回路 DC1 又は DC1 によって選択的に有効とされる複数の回路選

とを限りることで、送信回路の送信時間を利用できるという効果が得られる。

図上記回路により、音頭品あるいは音品完成後において、パッド又は外端子から上記送信部側面より見出することで、マスク等の実現を必要とすることなく、送信部側面ノモリの凹み込みペルス等のペルス信号をセットアップ回路を構成できるという効果が得られる。

図上記回路及び回路により、送信部側面ノモリ等の開閉回路を組成し、その値コスト化を図ることができるものという効果が得られる。

図上記回路及び回路により、送信部側面ノモリ等の開閉回路において、その開閉を留めることができるという効果が得られる。

図上本発明によつてなされた発明を実質的にあづけた実用的特許を取消したが、この発明は上記実用的特許に限定されるものではなく、その要旨を説明しない範囲で複数実用特許であることはいうまでもない。例えば、ペルス回路回路号W30～W32及びセッタップ回路回路号S30～S31は、

セッタップ回路回路号S30、S31が削除されないと、自動的に凹み込みペルスのペルス回路及びセッタップ回路をその回路回路回路の中心部とするものであつてよい。図4回において、ノモリアレイRAMは直線のノキヤマットにより構成されるものであつてもよいし、バイオーラAMは、カクム送信回路を持つものであつてもよい。さらに、図4回に示されるタイミング発生回路TCや回路及び第2回に示される直線送信回路及び送信ゲート回路の片体的な直線構成と第1回に示される送信部側面ノモリのブロック構成ならびに斜面S2やタイミング回路の組み合わせ等、以上の実用的特徴を有りうる。

図上の発明では主として本発明によつてなされた発明をその背景となつた利用分野である送信部側面ノモリの凹み込みペルス発生回路に適用した場合について説明したが、それに限定されるものではなく、例えば、送信部側面ノモリのその他のペルス発生回路や送信部側面ノモリを含む他のデジタル装置等にも適用できる。本発明は、

プロードビームの回路で内部バッテリを介して供給されるものであつてもよいし、そのビット数は任意である。また、これらのペルス回路回路号及びセッタップ回路回路号は、データによってデータ化されることなく、直接送信信号として供給されることもよい。図1回において、送信回路D1～D3は各段送信回路に組み込まれることもできる。この場合、送信は号W30～S7に使って構成する各段送信回路の出力信号を連続する送信回路とデータゲート回路を別途必要とする。図1回の実施例では、ライトイネーブル信号W2に固定なく、クロック信号C4をもとに所定のペルス幅とセッタップ時間を持つ信号を形成した後、内田回路回路号W4と送信信号とすることで、タイミング回路S4を形成しているが、送信回路D1の直角でクロック信号C4とライトイネーブル信号W2との接続端をとつた後、そのペルス回路及びセッタップ回路を構成する方法もよい。凹み込みペルス発生回路は、上記ペルス回路回路号W30～W32及びセッタップ

回路回路号S30～S31を含むタイミング送信回路あるいはこのようなタイミング送信回路を含む半導体送信回路装置に広く利用できる。

(発明の効果)

本図において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、送信部側面ノモリの凹み込みペルス発生回路等に含まれる送信回路を直列回路とされる直線の単位送信回路によって構成し、これらの直線送信回路の出力信号を送信回路内に使って選択的に伝達する出力送信回路と、所定の送信回路回路号をデータして上記送信回路を統一的に形成するデータとを接することで、音頭品あるいは音品完成後において、パッド又は外端子から上記送信部側面回路号を開始することにより、マスク等の実現を必要とすることなく、送信部側面ノモリの凹み込みペルス等のペルス回路やセッタップ回路を構成できる。これにより、送信部側面ノモリの開閉回路を組成し、その開閉を留めることができる。

特許平1-236494(12)

1. 図面の簡単な説明

第1図は、この発明が適用された論理回路ノードのタイミング発生回路の一実施例を示す回路図。

第2図は、第1図のタイミング発生回路に含まれる単位選択回路の一実施例を示す回路図。

第3図は、第1図のタイミング発生回路に含まれる選択ゲート回路の一実施例を示す回路図。

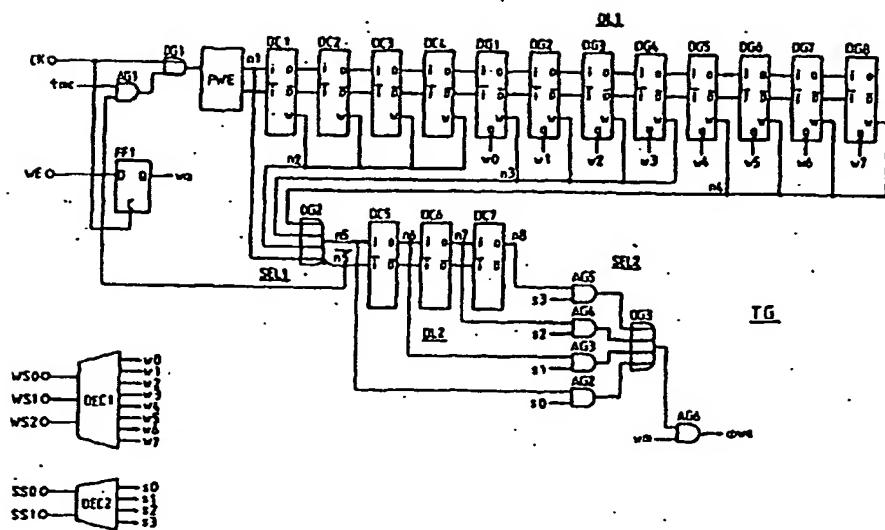
第4図は、第1図のタイミング発生回路に含まれる論理回路ノードの一実施例を示すブロック図。

第5図は、第1図のタイミング発生回路の一実施例を示すタイミング図である。

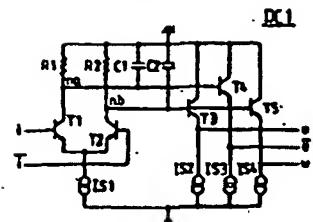
TO...タイミング発生回路、 PWE...
パルス延長回路、 DLI, DL2...選択回路、
DC1~DC7...単位選択回路、 DC1~D
OB...選択ゲート回路、 SEL1, SEL2
...出力選択回路、 DEC1, DEC2...
デコード、 FFL...フリップフロップ回路、
AG1~AG6...アンダゲート回路、 OG1
~OG3...オフゲート回路。

代理人弁護士 佐野 光政

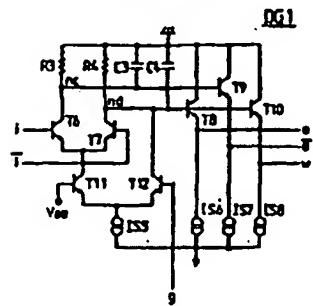
第1図



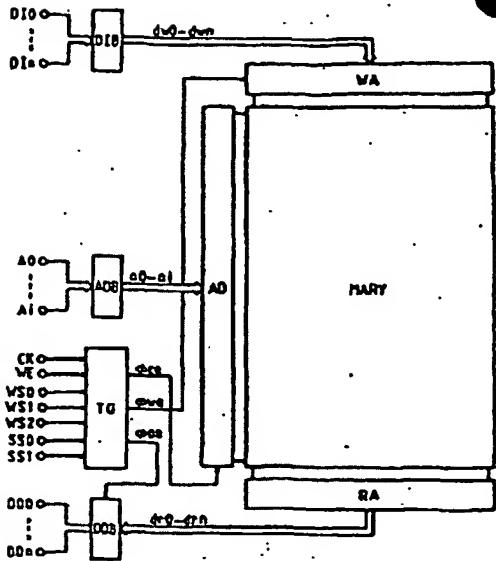
第2図



第3図



第4図



第5図

